

Family list

1 family member for: **JP49045195B**
Derived from 1 application

1 No title available

Inventor:

Applicant:

EC:

IPC: *H01L27/00; H01L21/02; H01L21/762 (+5)*

Publication info: **JP49045195B B** - 1974-12-03

Data supplied from the *esp@cenet* database - Worldwide

Concise Statement

JP 49-045195 (Published: 12/3/1974)

The present invention relates to a method for manufacturing a semiconductor device. In particular, the method includes steps of bonding a first single crystalline semiconductor wafer and a second single crystalline semiconductor wafer with an insulating film therebetween; removing the first single crystalline semiconductor wafer to a certain thickness and selectively etching the first single crystalline semiconductor wafer to form island-like first single crystalline semiconductor wafer; incorporating active elements into the island-like first single crystalline semiconductor wafer and incorporating passive elements into the second single crystalline semiconductor wafer which exists between the island-like first single crystalline semiconductor wafer; and wiring each element by using a certain pattern.

昭49-45195

特 許 公 報

④ 公告 昭和 49 年(1974)12月 3 日

発明の数 2

(全 6 頁)

1

⑤ 半導体装置の製法

② 特 願 昭 4 5 - 1 3 0 6 1 7

② 出 願 昭 4 5 (1 9 7 0) 1 2 月 2 9 日

② 発 明 者 松浪光雄

大阪市阿倍野区長池町 2 2 の 2 2
シャープ株式会社内

① 出 願 人 シャープ株式会社

大阪市阿倍野区長池町 2 2 の 2 2

④ 代 理 人 弁理士 福士愛彦

図面の簡単な説明

第 1 図から第 4 図及び第 6 図は本発明による実施例の製造工程順に示した半導体ウェハーの断面図、第 5 図は第 4 図の平面図であり、第 7 図から第 9 図までは本発明による他の実施例の製造工程順に示した半導体ウェハーの断面図である。

発明の詳細な説明

本発明は圧着された 2 枚の単結晶半導体ウェハーを用いることにより、集積回路のより高密度化を可能にした半導体装置の製造方法に関するものである。

従来の半導体集積回路では能動素子や受動素子等の分離法として、P-N ジャンクションに逆バイアスをかけ、空間電荷を生ぜしめることによつて夫々の素子間の分離を行つている。

しかるに、この方法を採用した場合、接合に存在する容量や漏れ電流が周波数特性等の電氣的諸特性に悪影響を及ぼし、半導体集積回路の特性を劣化させる。

上記欠点を改良する一方法として、絶縁物を用いた絶縁物分離法が開発されている。この方法によれば、エッチングや多結晶成長等の手段を用いて多結晶体中に酸化膜等の絶縁物を介して能動素子や受動素子等となるべき領域が埋め込まれ、それぞれの素子の分離が行なわれる。しかるに、この方法を採用すれば多結晶領域は不導体として働

2

くのみで、素子を組み込むための半導体としては利用することはできない。従がつてこの多結晶領域が半導体集積回路の空間にとつては無駄になり、素子の高密度化が妨げられる。

5 本発明は上記従来の半導体装置の欠点を除去し、簡単でかつ性能のすぐれた高密度集積回路をもつ半導体装置とその製造方法を提供するものである。本発明の主要となる点は、互いに島状に絶縁物で分離され、その島領域及び島領域以外の単結晶半導体領域にそれぞれ素子を組み込んだ半導体装置で、その製法は 2 枚の絶縁物、即ち酸化膜で覆われた第 1、第 2 の単結晶半導体ウェハーを、酸化膜等を介して熱圧着等で接着し、その後回路構成要素となる素子を組み込む主表面側の第 1 のウェハーを必要に応じて平滑エッチング又はポリッシング等の工程を施し所定の厚さ 20~30 μ 程度にする。次に素子を組み込むべき第 1 のウェハー領域を分離すべく島状にエッチングする。続いて酸化又は拡散等の種々な工程を経て上記第 1 の島状ウェハー領域に能動素子を組み込み、同時に選択エッチング工程で酸化膜を介して露出された第 2 のウェハー領域に抵抗等の受動素子を組み込み、夫々の素子間を配線して高密度集積回路をもつ半導体装置を製造する。又は選択エッチング工程で島状に残された第 1 のウェハー領域間を、第 2 のウェハーの単結晶性を利用してエピタキシャル成長等で埋め込む。この時成長層は第 2 のウェハーに続いて成長する単結晶領域と、第 1 のウェハー表面を覆う酸化膜から成長する多結晶領域とから成る。そしてウェハー表面を平滑にした後、島状の第 1 のウェハー領域に能動素子を組み込み、島と島の間にエピタキシャル成長させた第 2 のウェハー領域に受動素子を組み込み、それぞれの素子間を配線して高密度集積回路をもつ半導体装置を製造する。

次に図を用いて本発明の実施例をさらに詳細に説明する。

3

本発明を実施するにあたり、種々の材料を用いることが考えられ、また製造工程も変り得るが、ここでは(100)を表面にもつ2枚のシリコン単結晶半導体ウェハーを用いた場合について述べる。

第1図に示す如く厚さ200 μ 程度でしかも(100)面をもち、表面が酸化された第1、第2の2枚のシリコン単結晶半導体ウェハー1,2を1200 $^{\circ}$ C程度の温度雰囲気中で適当な圧力を加えて熱的に接着する。この時絶縁物層となる純粋なSiO₂は1700 $^{\circ}$ C程度の融点を持つため1200 $^{\circ}$ C程度で接着作用をもたせることは困難であるが、ボロン、リン等の元素を適当に沈積させることによつてSiO₂の融点は低下し、第1図の如くSiO₂層3を介して接着することが容易となる。

次に主要表面となり得る第1のウェハー1を第2図の如く酸化膜を除去し、さらに単結晶の厚さが20 \sim 30 μ 程度になるまで水酸化カリウム溶液を用いて化学的に腐蝕除去し平滑にする。上記平滑にされた第1のウェハー1の表面を、集積回路の構成要素となる素子を組み込むべき領域を島状に残しフッ酸-硝酸溶液で選択エッチング(第3図に示す1, 1...のようにする。この時残こされた島状の第1のウェハー領域1, 1...の表面は酸化等の工程を経て酸化膜4, 4が形成される。続いて上記工程を経たウェハーに能動素子、受動素子等の集積回路構成要素を組み込む。

第4図に示す如く島状の第1のウェハー1, 1領域に拡散工程を施こしてトランジスタ等の能動素子5を、島状ウェハー領域1, 1の間にある第2のウェハー領域2, 2に抵抗等の受動素子6を組み込み形成する。この工程を経たウェハーの平面図を第5図に示す。

ウェハーに組み込まれた能動素子5、受動素子6を所定のパターンでもつてAl又はTi, Pt, Au等7, 7...で第6図の如く配線して半導体装置を得る。

上記実施例は2枚のシリコン単結晶半導体ウェハーをそのまま使用した半導体装置及びその製造工程について述べたが、次に他の実施例として上記半導体装置と同様に島状に分離して能動素子の組み込まれた第1のウェハー領域と、その島状間の領域を占める第2のウェハー領域に受動素子の

4

組み込まれてなる半導体装置に於て、上記島状の間を占める第2のウェハーをエピタキシャル成長させて島状領域を埋め込み形成する半導体装置の製法について述べる。

2枚のシリコン単結晶半導体ウェハー1, 2を上記実施例と同様に熱的に接着し、続いて化学腐蝕で第1のウェハーを厚さ20 \sim 30 μ 程度に平滑にエッチングし、さらに能動素子を組み込むべき領域を島状1, 1...に残し第1のウェハー1を選択エッチングする。この時本実施例では島1, 1...の間にある酸化膜4をも除去し、第7図に示す如く第2のウェハー2を露出させる。その後ウェハーにエピタキシャル選択成長を施こし、上記工程で露出した第2のウェハー領域に同一結晶性を有する単結晶を成長させる。この時第1のウェハーを覆っている酸化膜4からは多結晶8が成長し、構成素子の分離を優ぐれたものとする。結晶成長表面をラッピング、ポリッシング、エッチング酸化等の工程を施こして平滑にし第8図の状態にする。上記工程を経たウェハーに能動素子や受動素子を組み込むが、島状の第1のウェハー1, 1にはトランジスタ等の能動素子5を、上記エピタキシャル成長させた第2のウェハー領域には抵抗等の受動素子6を拡散等の手段に組み込み、AlやTi, Pt, Au等で所定のパターンに従がつて配線7を行ない第9図のような半導体装置を得る。

以上の如く、2枚の単結晶半導体ウェハーを絶縁物を介して接着し、島状に分離した第1のウェハー領域に能動素子を組み込みさらに上記島状の第1のウェハーの間にあつて絶縁物を介して存在する第2のウェハー領域に受動素子を組み込んで半導体を得ることにより、構成素子間の相互作用による半導体特性の劣化をみることなく、信頼度の高い半導体装置を簡単に得ることができる。

また従来装置では無駄に消費していた半導体ウェハーの空間が有効に利用され、集積回路の一層の高密度化が容易に行える。

⑦特許請求の範囲

1 第1の単結晶半導体ウェハーと第2の単結晶ウェハーとを絶縁膜を介して接着する工程と、上記第1の半導体ウェハーを所定の厚さまで除去し、更に島状に選択的エッチングする工程と、上記島状の第1の半導体ウェハーに能動素子を、島状の

5

第1の半導体ウェハー間に存在する第2の半導体ウェハー領域に受動素子を夫々組み込む工程と夫々の素子を所定のパターンで配線する工程とからなる半導体装置の製法。

2 第1の単結晶半導体ウェハーと第2の単結晶半導体ウェハーとを絶縁膜を介して接着する工程と、上記第1の半導体ウェハーを所定の厚さまで除去し、更に島状に選択的にエッチングする工程

と、上記エッチング工程で選択的に除去された領域に第2の半導体ウェハーと同一結晶を成長させ

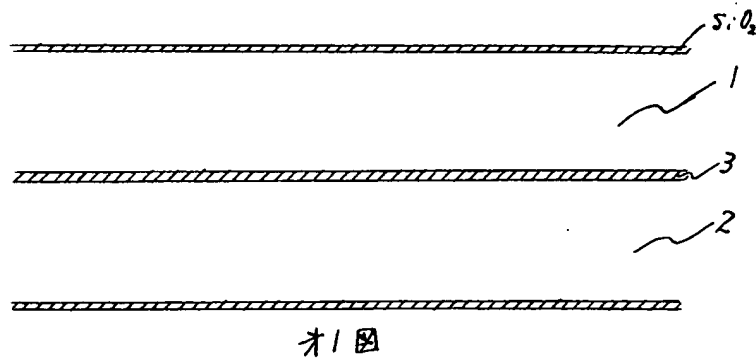
6

るエピタキシャル成長工程と、上記島状の第1の半導体ウェハー領域に能動素子を、第2の半導体ウェハー領域に受動素子を夫々組み込む工程と、上記夫々の素子を所定のパターンで配線する工程とからなる半導体装置の製法。

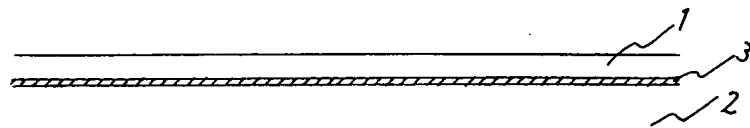
⑤引用文献

特 公 昭43-15747

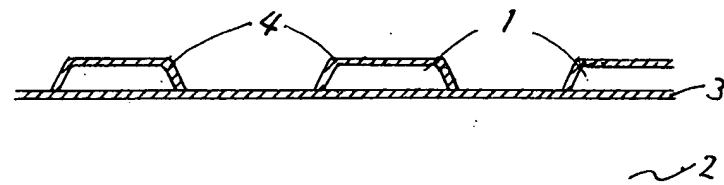
10 実 公 昭40-30439



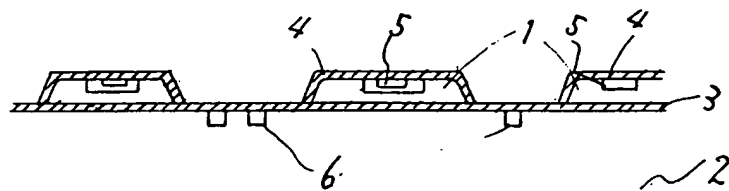
才1図



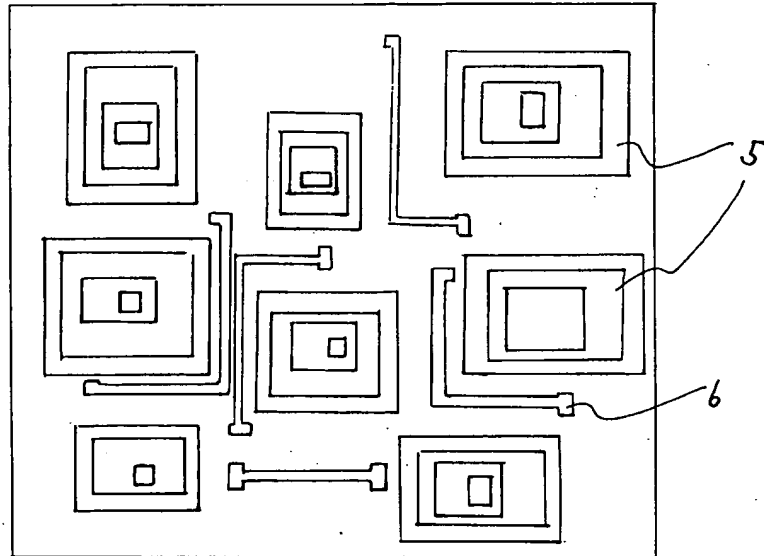
才2図



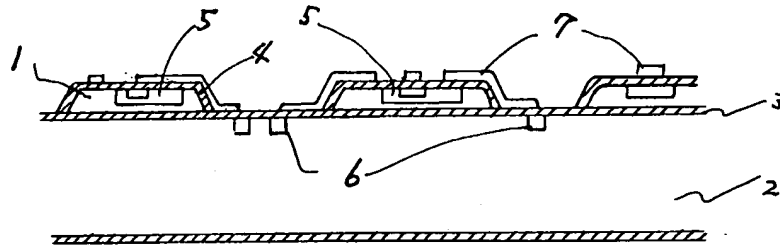
才3図



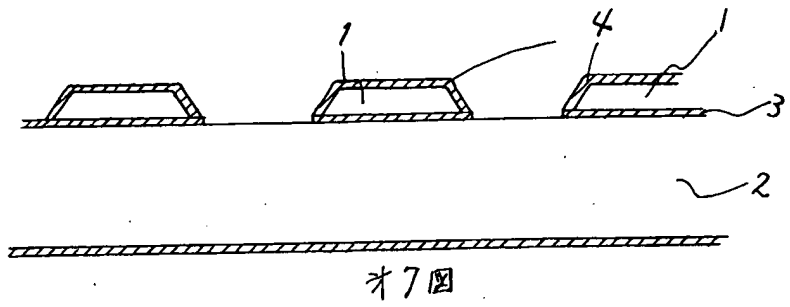
才4図



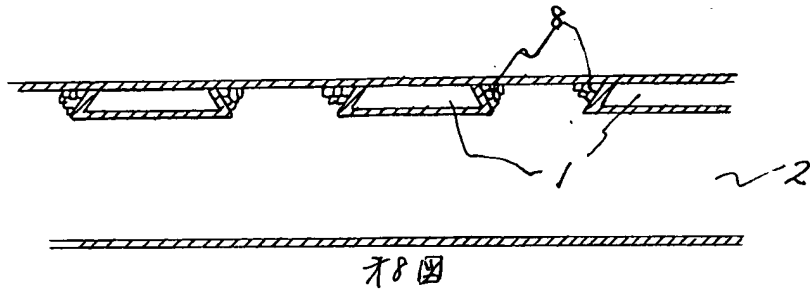
才5図



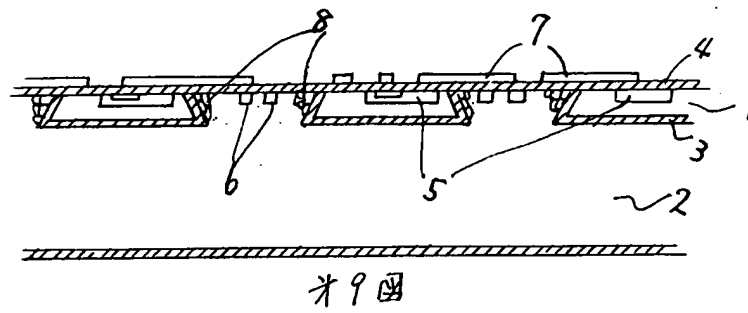
才6図



才7図



才8図



才9図